

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-076894  
(43)Date of publication of application : 14.03.2000

(51)Int.Cl. G11C 29/00  
G01R 31/28  
G11C 11/401

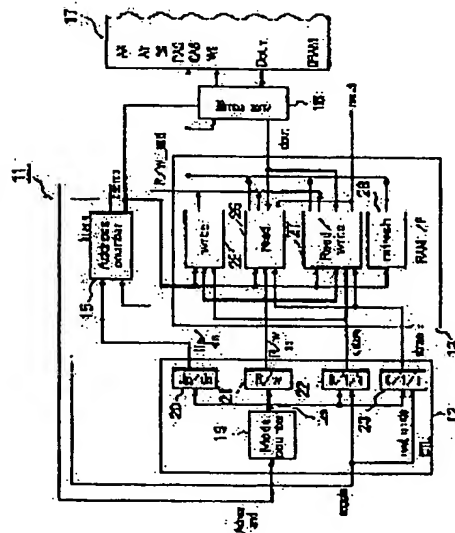
(21)Application number : 10-248352 (71)Applicant : NEC CORP  
(22)Date of filing : 02.09.1998 (72)Inventor : NAKAMURA YOSHIYUKI

## (54) BUILT-IN SELF-TEST CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a built-in self-test circuit capable of conducting a test having high quality by various test patterns without decreasing the number of test patterns while having simple circuit constitution.

**SOLUTION:** In the built-in self-test circuit 11 conducting a test to a DRAM 17 installed to a semiconductor integrated circuit by using a plurality of test patterns, the built-in self-test circuit 11 has an address counter 15 outputting an ending-flag data Mrs end every time a series of write/read processing to a fixed number of addresses in the DRAM 17 is completed and a mode counter 19 successively outputting different common control signals Ccs every time the mode counter 19 receives the ending-flag data Adrs end. The built-in self-test circuit 11 further has decoders 20-23 having a plurality of encoded processing data and successively decoding and outputting the processing data in response to each received common control signal Ccs respectively and a test pattern generating circuit 13 outputting bit data corresponding to the processing data received from the decoders 20-23 to the DRAM 17 as each test pattern.



## LEGAL STATUS

[Date of request for examination] 02.09.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3298621  
[Date of registration] 19.04.2002  
[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-76894

(P2000-76894A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	サーチワード (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 B 2 G 0 3 2
	6 5 7		6 5 7 B 5 B 0 2 4
G 0 1 R 31/28		G 0 1 R 31/28	B 5 L 1 0 6
G 1 1 C 11/401			V
		G 1 1 C 11/34	3 7 1 A

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平10-248352

(22) 出願日 平成10年9月2日 (1998.9.2)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 芳行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096231

弁理士 稲垣 清

Fターム (参考) 2G032 AA07 AB01 AC08 AD08 AE12

AG02 AK19 AL00

5B024 AA15 BA21 BA29 CA15 CA27

EA02 EA03

5L106 AA01 DD08 DD12 EE01 EE02

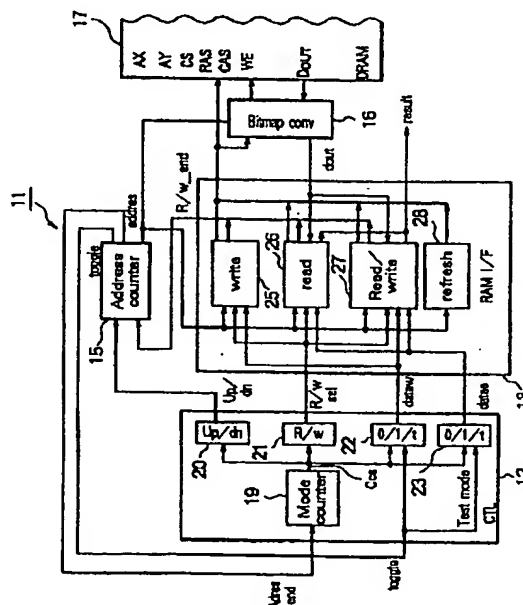
EE03 GG05 GG07

(54) 【発明の名称】 組込み自己テスト回路

(57) 【要約】

【課題】 簡素な回路構成を備えながらも、テストパターン数を削減することなく、多種のテストパターンによって高品質のテストを行うことができる組込み自己テスト回路を提供する。

【解決手段】 半導体集積回路に備えたDRAM 17に対し複数のテストパターンを用いてテストを行う組込み自己テスト回路 11 であって、DRAM 17における所定数のアドレスに対する一連の書き込み/読出し処理が終了する毎に終了フラグデータ Adrs\_end を出力するアドレスカウンタ 15 と、終了フラグデータ Adrs\_end を受け取る毎に異なる共通制御信号 C c s を順次に出力するモードカウンタ 19 とを有している。組込み自己テスト回路 11 は更に、符号化された複数の処理データを有し、受け取った各共通制御信号 C c s に夫々対応して処理データを順次に復号化して出力するデコーダ 20 ~ 23 と、デコーダ 20 ~ 23 から受け取った処理データに対応するビットデータを各テストパターンとして DRAM 17 に出力するテストパターン発生回路 (13) とを有する。



## 【特許請求の範囲】

【請求項1】 半導体装置に内蔵され、該半導体装置に備えた記憶部に対し複数のテストパターンを用いてテストを行う組込み自己テスト回路であって、前記記憶部における所定数のアドレスに対する一連の書き込み／読出し処理が終了する毎に終了信号を出力するアドレスカウンタと、前記終了信号を受け取る毎に異なる共通制御信号を順次に出力する制御信号出力回路と、

符号化された複数の処理データを有し、受け取った各共通制御信号に夫々対応して前記処理データを順次に復号化して出力する処理データ出力回路と、前記処理データ出力回路から受け取った前記処理データに対応するビットデータを各テストパターンとして前記記憶部に出力するテストパターン発生回路とを備えることを特徴とする組込み自己テスト回路。

【請求項2】 前記制御信号出力回路が、前記終了信号を受け取る毎にカウントアップ又はカウントダウンし、カウント値を前記共通制御信号として出力するモードカウンタから成ることを特徴とする請求項1に記載の組込み自己テスト回路。

【請求項3】 前記アドレスカウンタは、前記一連の書き込み／読出し処理が終了する毎に終了フラグデータを前記終了信号として前記モードカウンタに出力することを特徴とする請求項2に記載の組込み自己テスト回路。

【請求項4】 前記アドレスカウンタは、前記テストパターン発生回路からのテストパターンに従って前記記憶部に書き込み／読出し処理する際に、前記記憶部のアドレスの指定を行うことを特徴とする請求項1乃至3の内の何れか1項に記載の組込み自己テスト回路。

【請求項5】 前記テストパターン発生回路が、前記処理データ出力回路から処理データを受け取る毎にカウントアップ又はカウントダウンするデータカウンタと、該データカウンタのカウント値に対応する0又は1のビットデータを出力する複数のデコーダとを備えることを特徴とする請求項1乃至4の内の何れか1項に記載の組込み自己テスト回路。

【請求項6】 前記データカウンタが複数設けられ、前記複数のデコーダが前記各データカウンタに夫々対応して複数組設けられ、前記各データカウンタと各データカウンタに夫々対応する前記1組のデコーダとから、書き込み処理に関するデータを出力する書き込み回路、読出し処理に関するデータを出力する読出し回路、及び、書き込み処理と読出し処理とを同時進行的に行う処理に関するデータを出力する読出し／書き込み回路が夫々構成されることを特徴とする請求項5に記載の組込み自己テスト回路。

【請求項7】 前記記憶部がDRAMから成り、該DRAMに対し所定のタイミングでリフレッシュ処理を行うリフレッシュ回路を更に備え、該リフレッシュ回路、前

記書き込み回路、前記読出し回路、及び前記読出し／書き込み回路からRAMインタフェースが構成されることを特徴とする請求項6に記載の組込み自己テスト回路。

【請求項8】 前記処理データ出力回路が、書き込み／読出し・選択処理データを有する第1デコーダと、書き込み処理データを有する第2デコーダと、処理データとしての期待値を有する第3デコーダとを備えることを特徴とする請求項1乃至7の内の何れか1項に記載の組込み自己テスト回路。

10 【請求項9】 前記処理データ出力回路が、アップ／ダウン処理データを有する第4デコーダを更に備えており、復号化した前記アップ／ダウン処理データを前記アドレスカウンタに出力することを特徴とする請求項8に記載の組込み自己テスト回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミック型のメモリセルを用いた半導体記憶装置（DRAM）のための組込み自己テスト回路に関し、特に、ロジック回路及びDRAMが混載された半導体集積回路（LSI）に好適に用いられる組込み自己テスト回路に関する。

【0002】

【従来の技術】従来、DRAM等のメモリデバイスに対するテストは、メモリ用テストを用いて、所定の制御信号を供給しつつ行うことが一般的であった。メモリ用テストは、内蔵したマイクロプロセッサによって、メモリテストに必要なテストパターンを発生する。テストパターンとしては、コラムバー(column bars)、チェッカーボード(checker board)、或いは、マーチング(marching)等が使用される。

30 【0003】ところで、専用のメモリ用テストを用い、DRAMに対する40種類以上のテストパターンによるテストを行う場合には、次のような問題があった。例えば、ロジック回路とDRAMとが混載されたシステムLSIをテストする際には、ロジック用テストを用いたロジックテストと、メモリ用テストを用いたDRAMテストとの双方が必要であるため、テスト設備に起因する生産コストの増大、及びテスト使用時の時間的なロス招く。時間的なロスを解消するためにテストを高速で実行しようとする、高価なテストが必要になって生産コストが一層増大することになる。

40 【0004】上記問題に対処するため、近年では、テスト回路をシステムLSIに内蔵した組込み自己テスト(BIST: Built-In Self Test)方式が注目されている。BIST方式では、LSI自身が、内部ブロック(DUT)に対するテストデータ発生回路及びテストデータ判定回路を有しており、外部からの開始信号に従ってテストを開始する。テスト終了後には、論理シミュレーションで正常回路に関して計算した期待値とテスト終了結果とを比較して、良否の判定結果を出力する。

【0005】上記の場合には、テストとしてLSIテストのみが使用される。LSIテストは、開始信号及びクロック信号をLSIチップに供給し、一定時間後に、LSIチップから出力されるテスト結果に基づいてLSIチップの良否を判定する処理のみを行う。このように、BIST方式では高価なテストは不要であり、ULSIの場合でもその実使用時とほぼ同じ動作条件でテストが実行でき、より大きなシステムにLSIを組み込んだ後でも使用できる等の利点がある。

【0006】従来のBIST方式は、マイクロ命令制御方式と、テストデータ発生が決められた回路構成によりテストを行うハードウェア制御方式とに分類される。マイクロ命令制御方式は、特開平10-69799号公報（第1の従来例）に記載の自己テスト装置に採用されており、内蔵したROMに格納されたマイクロ命令を読み出して自己テストを実行する。マイクロ命令制御方式では、テストパターンの実行に自由度がある。一方、ハードウェア制御方式は、特開昭61-54550号公報（第2の従来例）、特開昭63-4500号公報（第3の従来例）、及び特開平8-100536号（第4の従来例）に記載された自己テスト装置に採用されている。

【0007】

【発明が解決しようとする課題】ところで、マイクロ命令制御方式では、特に、ROMを作製するプロセスが別途必要になるので、回路規模が増大し、生産コストが上昇する傾向がある。また、DRAMの全機能をテストするためには、高度な方式がマイクロ命令制御に必要になり、回路規模が更に増大することになる。第1の従来例では、テストパターンを削減してマイクロ命令方式を簡素化することによって上記問題を回避している。このため、DRAMの全ての機能をテストすることができず、従来のメモリ用テストを用いるテストに比してテスト品質が低い。

【0008】一方、ハードウェア制御方式を採用した第2～第4の従来例では、0、1の読出し及び書込みを交互に実行するチェッカーボードと呼ばれるテストパターンのみを実行する。特に、第4の従来例では、チェッカーボードに加え、0、1を繰り返す回数を変更しつつテストすることはできるが、これはチェッカーボードを拡張したテストを複数実施しているに過ぎず、従来のメモリ用テストによるテストには及ばない。このように、第2～第4の従来例では、マイクロ命令制御方式における回路規模の増大やコストアップを緩和できる利点はあるものの、予め決められた回路構成で生成した特定種類のテストパターンのみを実行するだけで、従来のメモリ用テストを用いたテストに比して品質が低い。

【0009】本発明は、上記に鑑み、簡素な回路構成を備えながらも、テストパターン数を削減することなく、多種のテストパターンによって高品質のテストを行うことができる組込み自己テスト回路を提供することを目的

とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の組込み自己テスト回路は、半導体装置に内蔵され、該半導体装置に備えた記憶部に対し複数のテストパターンを用いてテストを行う組込み自己テスト回路であって、前記記憶部における所定数のアドレスに対する一連の書込み／読出し処理が終了する毎に終了信号を出力するアドレスカウンタと、前記終了信号を受け取る毎に異なる共通制御信号を順次に出力する制御信号出力回路と、符号化された複数の処理データを有し、受け取った各共通制御信号に夫々対応して前記処理データを順次に復号化して出力する処理データ出力回路と、前記処理データ出力回路から受け取った前記処理データに対応するビットデータを各テストパターンとして前記記憶部に出力するテストパターン発生回路とを備えることを特徴とする。

【0011】本発明の組込み自己テスト回路では、アドレスカウンタ、制御信号出力回路、処理データ出力回路及びテストパターン発生回路を備える簡素な構成を有しながらも、記憶部のアドレスパターンを発生させつつ共通制御信号を順次に出力し、この共通制御信号に従って、相互に異なるテストパターンを順次に発生することができる。このため、従来のハードウェア制御方式で問題になっていたテストパターン不十分によるテスト品質の低下を回避することができると共に、半導体装置の回路規模の縮小及び生産コストの低減を図ることができる。

【0012】ここで、前記制御信号出力回路が、前記終了信号を受け取る毎にカウントアップ又はカウントダウンし、カウント値を前記共通制御信号として出力するモードカウンタから成ることが好ましい。これにより、制御信号出力回路を簡素な回路構成によって得ることができる。

【0013】前記アドレスカウンタは、前記一連の書込み／読出し処理が終了する毎に終了フラグデータを前記終了信号として前記モードカウンタに出力する機能を有することが好ましい。これにより、終了フラグデータをモードカウンタに与え、該モードカウンタのカウント値を共通制御信号として出力させる回路構成を得ることができる。

【0014】また、前記アドレスカウンタが、前記テストパターン発生回路からのテストパターンに従って前記記憶部に書込み／読出し処理する際に、前記記憶部のアドレスの指定を行うことが好ましい。これにより、記憶部への書込み／読出し処理が適正に行われる。

【0015】更に好ましくは、前記テストパターン発生回路が、前記処理データ出力回路から処理データを受け取る毎にカウントアップ又はカウントダウンするデータカウンタと、該データカウンタのカウント値に対応する

0又は1のビットデータを出力する複数のデコーダとを備える。この場合、テストパターン発生回路を簡素な回路構成によって実現することができる。

【0016】好適には、前記データカウンタが複数設けられ、前記複数のデコーダが前記各データカウンタに夫々対応して複数組設けられ、前記各データカウンタと各データカウンタに夫々対応する前記1組のデコーダとから、書込み処理に関するデータを出力する書込み回路、読出し処理に関するデータを出力する読出し回路、及び、書込み処理と読出し処理とを同時進行的に行う処理に関するデータを出力する読出し/書込み回路が夫々構成される。この場合、記憶部における所定数のアドレスに対する一連の書込み/読出し処理に必要なデータを得ることができる。

【0017】また、前記記憶部がDRAMから構成され、該DRAMに対し所定のタイミングでリフレッシュ処理を行うリフレッシュ回路を更に設け、該リフレッシュ回路、前記書込み回路、前記読出し回路、及び前記読出し/書込み回路からRAMインタフェースを構成することが好ましい。

【0018】更に好ましくは、前記処理データ出力回路が、書込み/読出し・選択処理データを有する第1デコーダと、書込み処理データを有する第2デコーダと、処理データとしての期待値を有する第3デコーダとを備える。この場合、テストパターン発生回路でテストパターンを生成するために必要な各処理データを夫々のタイミングで供給することができる。

【0019】前記処理データ出力回路が、アップ/ダウン処理データを有する第4デコーダを更に備えており、復号化した前記アップ/ダウン処理データを前記アドレスカウンタに出力することが好ましい。この場合、テストパターン発生回路で順次に発生するテストパターンに夫々対応させて、アドレスカウンタをカウントアップ又はカウントダウンさせることができる。

#### 【0020】

【発明の実施の形態】図面を参照して本発明を更に詳細に説明する。図1は、本発明の一実施形態例における組み込み自己テスト回路（以下、BIST回路とも呼ぶ）の内部構成を示すブロック図である。同図では、システムクロック信号及びシステムリセット信号の図示を省略している。

【0021】BIST回路11は、テストモードコントローラ(Test mode CTL)12、RAMインタフェース(RAM I/F)13、アドレスカウンタ(Address counter)15、及び、ビットマップコンバータ(Bitmap conv)16の4ブロックから構成されている。BIST回路11では、DRAM17に対して連続して書込み可能又は連続して読出し可能なワード数を示すバースト長や、制御信号CAS(Column Access Strobe)による動作時のレイテンシ(Gas latency)等はユーザによって設定される。

【0022】BIST回路11では、テストモードコントローラ12に備えたモードカウンタ19のカウンタ値(共通制御信号Ccs)に従って、DRAM17に対する複数のテストパターンを順次に生成する。テストモードとは、複数のテストパターンを夫々生成するために必要な信号の組合わせを意味する。

【0023】テストモードコントローラ12は、上記モードカウンタ19を有し、モードカウンタ19の後段に、アップ/ダウン処理データUp/dnを夫々生成するデコーダ20と、読出し/書込み・選択処理データR/w selを夫々生成するデコーダ21と、書込み処理データdatawを生成するデコーダ22と、比較用データである期待値datae(処理データ)を生成するデコーダ23とを有する。この構成のテストモードコントローラ12は、DRAM17のアドレスを昇順でアクセスするのか降順でアクセスするのか(Up/dn)をデコーダ20で選択し、書込み処理をするのか読出し処理をするのか(R/w)をデコーダ21で選択し、DRAM17に対する書込みデータは“0”か“1”かをデコーダ22で選択し、このときの比較用の期待値をデコーダ23で選択する。デコーダ20～23における各選択動作は、モードカウンタ19のカウンタ値(共通制御信号Ccs)に従って行われる。

【0024】テストパターンとしては、コラムバー(column bars)、チェッカーボード(checker board)、マーチング(marching)、シフトダイアゴナル(shifted diagonal)、バタフライ(butterfly)、ウォーキング(walking)、及びギャロッピング(galloping)等が使用される。

【0025】例えば、DRAM17におけるメモリセルアレイが $n$ 行 $n$ 列のメモリセルから成る場合に、メモリセルの個数を $N$ とすると $N=n^2$ になる。 $i$ 行 $j$ 列( $i, j=1, 2, \dots, n$ )のメモリセルは $C_{ij}$ で示す。メモリセルに、1行1列、2行1列、……、 $n$ 行1列、2行1列、2行2列、……、 $n$ 行 $n$ 列の順序で番号を付し、 $p$ 番目( $p=0, 1, \dots, N-1$ (但し、 $N=n^2$ ))のメモリセルを $C_p$ で表す。この条件下で、テストパターンが例えばコラムバーの場合には、

①奇数番目の列に1、偶数番目の列に0を書き込む。

②メモリセルの内容を $C_0, C_1, \dots, C_{N-1}$ の順に読み出す。

③0と1とを交換して、①及び②の処理を繰り返す。

【0026】また、テストパターンがチェッカーボードの場合には、

④奇数番目の列に0と1とをこの順に書き込み、偶数番目の列に1と0とをこの順に書き込む。

⑤メモリセルの内容を $C_0, C_1, \dots, C_{N-1}$ の順に読み出す。

⑥0と1とを交換して、④及び⑤の処理を繰り返す。

【0027】モードカウンタ19は、DRAM17における所定数のアドレスに対する一連の書込み/読出し処

理が終了する毎にアドレスカウンタ15が出力する終了フラグデータAdrs\_endを受け取る都度、カウントアップ（即ち、テストモードを1インクリメント）して次のテストモードに移行し、そのテストモードの内容に応じてデコード20～23の値を夫々設定する。つまり、デコード20～23は夫々、モードカウンタ19からの共通制御信号Ccsに従って、DRAM17に対する複数のテストパターンを生成するためのアップ/ダウン処理データUp/dn、読出し/書込み・選択処理データR/w sel、書込み処理データdataw、及び期待値dataeを夫々復号化して出力する。また、デコード22及びデコード23は夫々、アドレスカウンタ15からの切替え制御信号toggleに従って、“0”、“1”、“toggle”の内のいずれかを選択、復号化して出力する。

【0028】RAMインタフェース13は、DRAM17への1データの書込み/読出しのシーケンスを発生させ、DRAM17への各種処理データと制御信号とを発生させる。RAMインタフェース13は、書込み回路(write)25、読出し回路(read)26、読出し/書込み回路(Read/write)27、及びリフレッシュ回路(refresh)28を有しており、書込み回路25、読出し回路26及び読出し/書込み回路27の各出力は、読出し/書込み・選択処理データR/w selに対応して選択される。

【0029】アップ/ダウン処理データUp/dnは、アドレスカウンタ15に入力され、現在のテストモードではアドレスカウンタ15のアドレスをカウントアップするかカウントダウンするかを伝える。読出し/書込み・選択処理データR/w selは、書込み回路25、読出し回路26及び読出し/書込み回路27に夫々入力され、現在のテストモードではDRAM17に対して読出し処理を行うのか、書込み処理を行うのか、書込み処理及び読出し処理を同時進行的に行うのかを示す。書込み処理データdatawは、書込み回路25と読出し/書込み回路27とに夫々入力される信号であり、DRAM17に書き込まれるべき値“0”、“1”、“toggle”を示す。期待値dataeは、読出し回路26と読出し/書込み回路27とに夫々入力される信号で、現在のテストモードにおけるDRAM17からの読み出し期待値を示しており、その値には“0”、“1”、“toggle”がある。

【0030】書込み回路25、読出し回路26、読出し/書込み回路27及びリフレッシュ回路28から、読出し/書込みデータdinがビットマップコンバータ16とDRAM17とに夫々出力される。また、RAMインタフェース13のアドレスカウンタ15に対応する出力端子には、DRAM17における1アドレスに対する一連の書込み/読出しシーケンスが終了したことを示す1アドレス終了フラグR/wendが立つ。また、読出し回路26及び読出し/書込み回路27は、DRAM17から読み出された値の期待値照合結果resultを出力する。

【0031】アドレスカウンタ15は、カウンタに論理

回路を付加した構成を有し、DRAM17のアドレスを設定すると共にDRAM17への書込みデータをも発生する。アドレスカウンタ15は、書込み回路25、読出し回路26、読出し/書込み回路27からのテストパターンに従ってDRAM17に書込み/読出し処理する際に、DRAM17のアドレスの指定を行う。アドレスカウンタ15は更に、1アドレス終了フラグR/w endが立ったとき、デコード20からの信号Up/dnの値に対応して1インクリメント又は1デクリメントして、終了フラグデータAdrs\_endをテストモードコントローラ12に出力する。アドレスカウンタ15からの信号addressは、現在のDRAM17のアドレスを示す。

【0032】ビットマップコンバータ16は、DRAM17に接続されており、DRAM17の物理条件に応じてビット論理を反転させる機能と、データを多ビット化する機能とを有する。ビットマップコンバータ16は、読出し回路26及び読出し/書込み回路27に対して、DRAM17から読み出された出力値DOUTをビットマップ変換したdoutとして出力する機能を有している。

【0033】DRAM17におけるCS（チップセレクト）、RAS（Row Access Strobe）、CAS（Column Access Strobe）、及びWE（ライトイネーブル）は、夫々、DRAM17に対する書込み/読出し処理のための制御信号を示す。また、AX（アドレスX）及びAY（アドレスY）は、RAS及びCASに夫々対応するアドレスを示す値である。

【0034】図2は、読出し回路26の内部構成を示すブロック図である。読出し回路26は、デコード21、23から読出し/書込み・選択処理データR/w selを受け取る毎にカウントアップ又はカウントダウンするデータカウンタ(counter)18と、デコード(decoder)30、31、32、33と、比較回路(COMP)34とを有する。処理データR/w selが入力されるデータカウンタ18が、0から順にカウントアップすると、カウント値に対応して、デコード30では制御信号CSが、デコード31では制御信号RASが、デコード32では制御信号CASが、デコード33では制御信号WEが夫々復号化される。また、読出し回路26には、アドレスカウンタ15からのアドレスデータaddressが入力されるが、Xアドレス及びYアドレスを夫々示す制御信号AX、AYとしてDRAM17にスルーされる。

【0035】比較回路34は、データカウンタ18によるカウント結果がある値になったとき、DRAM17の読出し値DOUTがビットマップコンバータ16で必要に応じてビットマップ変換されて入力された読出し値doutと、期待値dataeとを比較し、その結果を期待値照合結果resultとして出力する。データカウンタ18とデコード30～33との関係は、ユーザが使用するDRAM17の仕様、及び、予めパラメータとして指定されたCaレイテンシやバースト長に依存する。

【0036】図3は、読出し／書込み回路27の内部構成を示すブロック図である。書込み回路25及びリフレッシュ回路28の各内部構成は、読出し回路26及び読出し／書込み回路27の内部構成とほぼ同様であるので、図示を省略する。

【0037】読出し／書込み回路27は、デコーダ21～23から処理データを受け取る毎にカウントアップ又はカウントダウンするデータカウンタ45と、デコーダ40～43と、比較回路44とを有する。読出し／書込み・選択処理データR/w selが入力されるデータカウンタ45が、0から順にカウントアップすると、カウント値に対応して、デコーダ40では制御信号CSが、デコーダ41では制御信号RASが、デコーダ42では制御信号CASが、デコーダ43では制御信号WEが夫々復号化されて出力される。読出し／書込み回路27には、デコーダ22からの書込み処理データdatawが入力されるが、実際の書込みデータdinとしてDRAM17にスルーされる。また、読出し／書込み回路27には、アドレスカウンタ15からアドレスデータaddressが入力されるが、Xアドレス及びYアドレスを夫々示す制御信号AX、AYとしてDRAM17にスルーされる。

【0038】比較回路44は、データカウンタ45によるカウント結果がある値になったとき、ビットマップコンパタ16を経由して入力された読出し値doutと、期待値dataeとを比較し、その結果を期待値照合結果resultとして出力する。データカウンタ45とデコーダ40～43との関係は、ユーザが使用するDRAM17の仕様、及び、予めパラメータとして指定されたCasレイテンシやバースト長に依存する。

【0039】図4は、アドレスカウンタ15の内部構成を示すブロック図である。アドレスカウンタ15は、カウンタ回路35と、出力側の組合わせ回路36、37、38、39とを有している。

【0040】カウンタ回路35には、RAMインタフェース13からの1アドレス終了フラグR/w endと、テストモードコントローラ12からのアップ／ダウン処理データUp/dnとが夫々入力される。組合わせ回路36は、カウンタ回路35のカウント値に従って、現在の読出しアドレスを示す信号Read addressを出力する。また、組合わせ回路37は、カウンタ回路35のカウント値に従って、現在の書込みアドレスを示す信号Write addressを出力する。組合わせ回路38は、カウンタ回路35のカウント値に従って、トグルパターン用データである切替え制御信号toggleを出力する。組合わせ回路39は、カウンタ回路35のカウント値に従って、アドレス値が最終アドレスまで到達したことを示す終了フラグデータAdrs endを出力する。トグルパターンは、予め指定されたアドレス値によって生成される。また、単純にカウントアップ、カウントダウンするコラムバー、チェッカーボード及びマーチング等のテストでは、出力側における

アドレスの組合わせ回路36、37、38、39はスルーするので、この場合、アドレス分のカウンタ回路35のみが必要となる。

【0041】組合わせ回路38は、例えばコラムバーがテストパターンである場合には、アドレス最下位ビットをスルーし、チェッカーボードの場合には最下位ビットを反転する。また、テストパターンがウォーキングやギャロッピング等である場合には、カウンタにはアドレスの2倍分が必要であるので、信号Read addressには下位アドレスを選択する組合わせ回路36が、信号Write addressには上位アドレスを選択する組合わせ回路37が夫々付属する。ギャロッピングがテストパターンである場合には、組合わせ回路38は、上位アドレスと下位アドレスとを比較する回路として機能する。

【0042】ここで、モードカウンタ19とデコーダ20～23との間における信号関係について説明する。図5は、信号関係の一例を示す表であり、図中の「Counter」はモードカウンタ19によるカウント値、つまり共通制御信号Ccsとしてのモード信号を示す。このモード信号が「0」の場合には、DRAM17の初期化シーケンスが発生する。同表においてのモード信号1～7によってテストパターンのマーチングが発生し、モード信号8～11によってテストパターンのチェッカーボードが発生する。

【0043】例えば、アップ／ダウン処理データUp/dnにおいての数値「0」は、DRAM17のバンク(bank)を予め決められた順でインクリメントし、Xアドレス(AX)を1ずつインクリメントし、Xアドレスにおける最終アドレスに達した時点で、Yアドレス(AY)を、決められた数であるバースト長だけ増加させる。数値「1」は、DRAM17のバンクを予め決められた順でデクリメントし、Xアドレスを1ずつデクリメントし、Xアドレスの0アドレスに達した時点で、Yアドレスをバースト長だけ減少させる。数値「2」は、バンクを予め決められた順でインクリメントし、Yアドレスをバースト長ずつ増加させ、最終アドレスに達した時点でXアドレスを1インクリメントする。数値「3」は、予め決められた順でバンクをデクリメントし、Yアドレスをバースト長ずつ減少させ、最終アドレスに達した時点でXアドレスを1デクリメントする。なお、バンクは、+1、+2、+3、+4・・・の順に足し込んで増加させ、また、・・・-3、-2、-1の順に減算して減少させている。

【0044】読出し／書込み・選択処理データR/w selにおいての数値「0」は読出し処理(read)、数値「1」は書込み処理(write)、数値「2」は書込み／読出し処理(write&read)を夫々示す。

【0045】更に、書込み処理データdataw及び期待値datae(処理データ)においての数値「0」はビットデータとしての0を、数値「1」はビットデータとしての

1を夫々示す。数値「2」は、Xアドレスにおける最下位ビットとYアドレスにおける3ビット目の値との排他的論理和を示し、数値「3」は、Xアドレスにおける最下位ビットの反転値とYアドレスにおける3ビット目の値との排他的論理和を夫々示す。このYアドレスの3ビット目との排他的論理和は、DRAM17のサブモジュールが8アドレス単位でレイアウトされていることに起因しており、サブモジュールのレイアウトが変更されればこの値は変わる。

【0046】図6は、読出し／書き込み回路27におけるデータカウンタ45のカウンタ値とデコーダ40～43の各出力値との間の信号関係の一例を示す表である。

【0047】「Counter」はデータカウンタ45によるカウンタ値を示しており、カウンタ値12、13は、Casレイテンシに依存する（例えばcas latency=2）。カウンタ値14～18は、バースト長に依存する（例えばバースト長=5）。Xアドレス及びYアドレスの各値はアドレスカウンタ15から入力され、また、書き込み処理データdataw及び期待値dataeの各値は、テストモードコントローラ12から入力される。

【0048】上記構成の組込み自己テスト回路11は、次のように動作する。終了フラグデータAdrs\_endと切替え制御信号toggleとがアドレスカウンタ15からテストモードコントローラ12に入力されると、モードカウンタ19が、終了フラグデータAdrs\_endに従って、テストモードを1インクリメントして次のテストモードに移行し、そのテストモードの内容に応じてデコーダ20～23の各値を設定する。

【0049】例えば、移行したテストモードに対応して、デコーダ20でカウントアップ(Up)が設定され、デコーダ21で書き込み処理(W)が設定され、デコーダ22で書き込み処理データdatawとして“0”が設定されると、カウントアップしつつDRAM17に“0”を書き込むマーチングやウォーキング等のテストを行うことになる。

【0050】また、デコーダ22がdatawとして切替え制御信号toggleを、デコーダ23がdataeとして切替え制御信号toggleを夫々選択した際には、DRAM17に書き込まれる値は、アドレスカウンタ15で生成された値となる。この場合、DRAM17に対しては、カウントアップしつつ010101を書き込み次いでカウントアップしつつ010101を読み出すチェッカーボード、コラムバー、或いはパフライ等のテストが実行される。

【0051】デコーダ20で復号化されたアップ／ダウン処理データUp/dnがアドレスカウンタ15に入力されることにより、RAMインタフェース13で順次に発生するテストパターンに夫々対応して、アドレスカウンタ15がカウントアップ又はカウントダウンする。また、デコーダ21で復号化された読出し／書き込み・選択処理

データR/w selが、書き込み回路25、読出し回路26及び読出し／書き込み回路27に夫々入力される。更に、デコーダ22で復号化された書き込み処理データdatawが読出し／書き込み回路27に、デコーダ23で復号化された期待値dataeが読出し回路26及び読出し／書き込み回路27に夫々入力される。

【0052】書き込み回路25、読出し回路26等のシーケンスは、予め定義されている内容に従って、DRAM17の各制御端子を設定し、アドレスカウンタ15で指定されたアドレスに、指定された値を書き込み、期待値との照合を行う。更に、予め指定されたアドレスに達した時点で、リフレッシュ回路28によるリフレッシュ動作を行う。

【0053】アドレスカウンタ15は、1アドレス終了フラグR/w\_endがRAMインタフェース13の出力端子に立ったとき、テストモードコントローラ12からの信号Up/dnに対応して、DRAM17のアドレスをインクリメント又はデクリメントする。アドレスカウンタ15は更に、カウントアップで最終アドレスに到達し、或いは、カウントダウンで0アドレスに到達した場合に終了フラグデータAdrs\_endを出力する。

【0054】ビットマップコンバータ16は、DRAM17に書き込まれる電氣的な値を考慮し、必要に応じてビットの0、1を反転させるために、予めアドレスが指定された値を比較しその値が相互に等しければデータを反転させる。このようなビットマップコンバータ16は、DRAM17に対して書き込み処理又は読出し処理する値を、予め指定されたアドレスに対応して反転させる。また、ビットマップコンバータ16には、現在のDRAM17のアドレス値を示すアドレスデータaddressがアドレスカウンタ15から入力され、一方、信号dinがRAMインタフェース13から入力される。ビットマップコンバータ16は、DRAM17から読み出して必要に応じてビットマップ変換した信号doutを、RAMインタフェース13の読出し回路26と読出し／書き込み回路27とに夫々出力する。

【0055】以上のようなBIIST回路11によると、簡素な回路構成を備えながらも、DRAM17のアドレスパターンを発生させつつ共通制御信号Ccsを順次に出力し、この共通制御信号Ccsに従って、相互に異なるテストパターンを順次に発生することができる。つまり、1つのテストパターンを発生させ、次のテストパターンを順次に発生させるパターンジェネレータがLSIに内蔵されることになるので、DRAM17の多数種（例えば40種類）のテストを、専用テストを用いることなく円滑に行うことができる。このため、従来のハードウェア制御方式で問題になっていたテストパターン不十分によるテスト品質の低下を回避できると共に、半導体装置の回路規模の縮小及び生産コストの低減を図ることができる。



【0056】また、本BIST回路11では、ユーザの使用に応じて、ツール毎にカスタマイズすることができる。つまり、ユーザが使用する機能のみをテストするようにBIST回路11を構成することによって、十分なテストを実行しながらも、回路規模を必要最小限に抑えることができる。このようなBIST回路11では、特にロジック回路とDRAMとが混載されたLSIのテストに要するコストの低減を図ることができる。

【0057】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の組込み自己テスト回路は、  
10 上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した組込み自己テスト回路も、本発明の範囲に含まれる。

【0058】

【発明の効果】以上説明したように、本発明の組込み自己テスト回路によると、簡素な回路構成を備えながらも、テストパターン数を削減することなく、多種のテストパターンによって高品質のテストを行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態例における組込み自己テスト回路の内部構成を示すブロック図である。

【図2】本実施形態例における読出し回路の内部構成を示すブロック図である。

【図3】本実施形態例における読出し/書込み回路の内部構成を示すブロック図である。

【図4】本実施形態例におけるアドレスカウンタの内部構成を示すブロック図である。

【図5】本実施形態例のテストモードコントローラにおけるモードカウンタとデコーダとの間の信号関係の一例  
を示す表である。

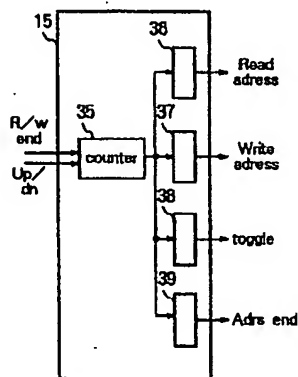
【図6】本実施形態例の読出し/書込み回路におけるデ

ータカウンタのカウンタ値とデコーダの出力値との間の信号関係の一例を示す表である。

【符号の説明】

- 11：組込み自己テスト回路
- 12：テストモードコントローラ
- 13：RAMインタフェース
- 15：アドレスカウンタ
- 16：ビットマップコンバータ
- 17：DRAM（記憶部）
- 18、45：データカウンタ
- 19：モードカウンタ（制御信号出力回路）
- 20～23：デコーダ（処理データ出力回路）
- 25：書込み回路（テストパターン発生回路）
- 26：読出し回路（テストパターン発生回路）
- 27：読出し/書込み回路（テストパターン発生回路）
- 28：リフレッシュ回路
- 30～34：デコーダ
- 35：カウンタ
- 36～39：組合わせ回路
- 40～44：デコーダ
- address：アドレスデータ
- Adrs end：終了フラグデータ
- Ccs：共通制御信号
- data e：期待値
- data w：書込み処理データ
- dout：ビットマップ変換信号
- DOUT：出力値
- R/w sel：書込み/読出し・選択処理データ
- R/w end：1アドレス終了フラグ
- toggle：切替え制御信号
- Up/dn：アップ/ダウンモード切替え信号

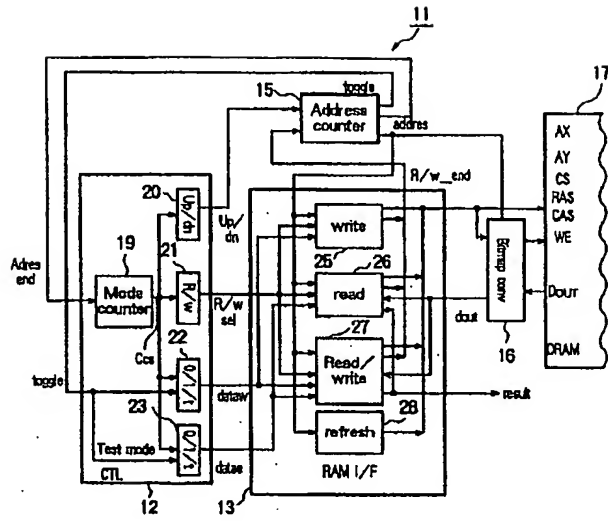
【図4】



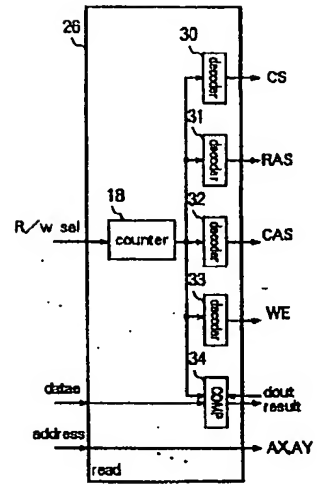
【図6】

Counter	CS	RAS	CAS	RE	AX	AY	Din	dout
0, 1, 2	0	0	0	0	-	-	-	-
3	1	1	0	1	-	-	-	-
4, 5, 6	0	1	0	1	-	-	-	-
7	1	1	0	0	171'bx	-	-	-
8, 9, 10	0	1	0	0	-	-	-	-
11	1	0	1	0	-	171'bx	-	-
12, 13	0	0	1	0	-	-	-	-
14, 15, 16	0	0	1	1	-	-	data w	data e
17, 18	-	-	-	-	-	-	-	と比較
19	0	0	0	0	-	-	-	-

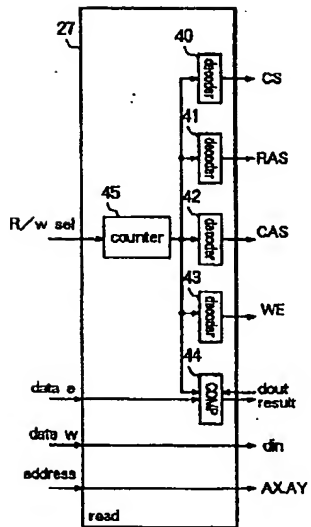
【図 1】



【図 2】



【図 3】



【図 5】

Counter	Up/dn	R/w sel	data w	data e
0	-	-	-	-
1	0	1	0	-
2	0	2	1	0
3	0	2	0	1
4	1	2	1	0
5	1	2	0	1
6	2	2	1	0
7	3	2	0	1
8	0	1	2	-
9	0	0	-	2
10	0	1	3	-
11	0	0	-	3

マーキング  
インター  
ボード

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**